

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-049570

(43)Date of publication of application : 06.05.1981

(51)Int.Cl.

H01L 29/78
G11C 11/40
H01L 27/10

(21)Application number : 54-124127

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.09.1979

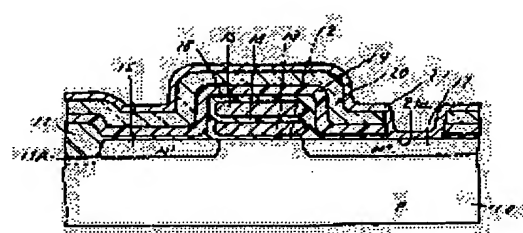
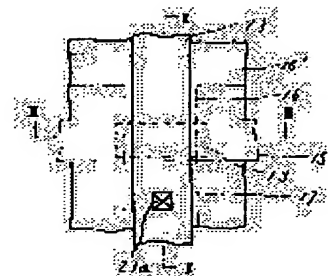
(72)Inventor : KOMORI KAZUHIRO

(54) SEMICONDUCTOR MEMORY AND ITS MANUFACTURING PROCESS

(57)Abstract:

PURPOSE: To get a small-sized memory unit with a good holding characteristic by piling Si₃N₄ or polysilicon film on SiO₂ film.

CONSTITUTION: Field film oxide 11, P⁺ channel stopper 11A are formed on a P type Si substrate 10, a polysilicon floating gate 13 layer is made on gate film oxide 12 to be covered with film oxide 14 further laminated with a polysilicon control gate 15 layer to form gate electrodes 15, 13 by single photographic etching. Next N⁺ source, drain 16, 17 and a source taking out layer 16' are formed through ion injection and self-matching to make polysilicon 15, 13 conductive. Next by selectively making an opening Al bit wiring 21 connecting with an N⁺ layer 17 is made. By piling Si₃N₄ 19 with the damp-proof properties on SiO₂ 18 covering memory cells the gate 13 has an extremely good holding characteristic and the single photographic etching makes it possible to reduce the cell size.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-49570

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和56年(1981)5月6日

H 01 L 29/78

7514-5F

G 11 C 11/40

1 0 1

7010-5B

発明の数 3

審査請求 未請求

H 01 L 27/10

(全 4 頁)

⑮ 半導体メモリとその製法

社日立製作所武蔵工場内

⑯ 特 願 昭54-124127

⑰ 出 願 人 株式会社日立製作所

⑱ 出 願 昭54(1979)9月28日

東京都千代田区丸の内1丁目5

⑲ 発 明 者 小森和宏

番1号

⑳ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会社

発明の名称 半導体メモリとその製法

特許請求の範囲

1. フローティングゲート型不揮発性メモリセル部をシリコンオキサイド膜でおおって成る半導体メモリにおいて、前記シリコンオキサイド膜に重ねて前記メモリセル部をおおうようにシリコンナイトライド膜又はポリシリコン層を形成したことを特徴とする半導体メモリ。

2. フローティングゲート型不揮発性メモリセル部をシリコンオキサイド膜でおおった後、前記メモリセル部のドレイン領域上のシリコンオキサイド膜部分にコンタクト孔を形成することを含む半導体メモリの製法において、シリコンオキサイド膜に重ねて前記メモリセル部をおおうようにシリコンナイトライド膜及びリジケイ酸ガラス膜を順次形成し、しかる後前記コンタクト孔を形成すべく前記リジケイ酸ガラス膜の一部を選択的にエッチし且つ残存するリジケイ酸ガラス膜をマスクとしてその下層のシリコンナイトライド膜部分から

にシリコンナイトライド膜をマスクとしてシリコンオキサイド膜部分を選択的にエッチすることを特徴とする半導体メモリの製法。

3. フローティングゲート型不揮発性メモリセル部をシリコンオキサイド膜でおおった後、前記メモリセル部のドレイン領域上のシリコンオキサイド膜部分にコンタクト孔を形成することを含む半導体メモリの製法において、前記シリコンオキサイド膜に重ねて前記メモリセル部をおおうようにポリシリコン層を形成した後、前記コンタクト孔を形成すべく前記ポリシリコン層の一部及びその下層のシリコンオキサイド膜部分を選択的にエッチし、さらに前記コンタクト孔内の半導体表面部分が実質的に酸化されずに露出されたまま残るよう前記ポリシリコン層を酸化してそれをおおひシリコンオキサイド膜を形成することを特徴とする半導体メモリの製法。

発明の詳細な説明

本発明は、フローティングゲート型不揮発性メモリセルをそなえた半導体メモリ及びその製法に

(1)

(2)

同する。

従来提案されているこの種のメモリとしては、不揮発性メモリセル部にそれをあかうようにシリコンオキサイド膜及びリンケイ酸ガラス(PSG)膜を順次形成したものがあるが、これにはシリコンオキサイド膜及びPSG膜が耐湿性に劣るためデータ保持特性が良好でない欠点がある。また、シリコンオキサイド膜及びPSG膜の積層にコンタクト孔を設ける場合、1回のホトエッチングで孔あけしようとする、約1500Åのシリコンオキサイド膜をエッチする過程で上層のPSG膜が過剰にサイドエッチされるため好ましい形状のコンタクト孔を形成できず、このような事態を回避するために各膜毎に異なるホトマスクを用いて計2回のホトエッチングを実施する必要があった。このためマスク合せ余裕を大きくとる必要があり、セルサイズが大きくなる欠点があった。

本発明の目的は、上記した従来技術の欠点をなくし、データ保持特性の良好な半導体メモリを提供することにある。

(3)

の基板表面には、ゲート絶縁用シリコンオキサイド膜12が熱酸化法で形成され、その上にポリシリコンからなるフローティングゲート層13が形成されている。フローティングゲート層13はポリシリコンをCVD(ケイカル・ペーパー・デポジション)法によってデポジションした後、適宜パターンニングすることによって形成され、この後ゲート層13の表面を熱酸化することにより層間絶縁用シリコンオキサイド膜14が形成される。そして、層間絶縁用シリコンオキサイド膜14上には、ワード線用のコントロールゲート層15がフローティングゲート層13に重なり且つフィールドシリコンオキサイド膜11上に存在するように形成される。コントロールゲート層15は、ポリシリコンをCVD法でデポジションした後、適宜パターンニングすることによって形成されるが、このパターンニングにあたっては、同一ホトマスクを用いてゲート層15、オキサイド膜14、ゲート層13をホトエッチ(いわゆる重ね切り)する。この後、ゲート層15以下の積層をマスクとする選

(5)

本発明の他の目的は、コンタクト孔を形成する際に1回のホトマスクを用いるだけでよく、従ってセルサイズを縮小することのできる半導体メモリの製法を提供することにある。

本発明による半導体メモリは、不揮発性メモリセル部をあかうシリコンオキサイド膜に重ねてシリコンナイトライド膜又はポリシリコン層を形成したことを特徴とするものであり、以下、添付図面に示す実施例について詳述する。

第1図乃至第3図は、本発明の一実施例によるフローティングゲート型不揮発性メモリセルを示すもので、第1図のII-II線断面及びIII-III線断面はそれぞれ第2図及び第3図に示されている。これらの図において、10はP型シリコンからなる半導体基板であり、その表面にはメモリセル配線部に相当する開口を有するフィールドシリコンオキサイド膜11が選択酸化法で形成され、このオキサイド膜11の下に基板表面にはチャンネルストップ用のP⁺型領域11Aが形成されている。フィールドシリコンオキサイド膜11の開口内

(4)

的的な拡散又はイオン打込処理によりゲート部に自己整合した形でN⁺型ソース領域16及びN⁺型ドレイン領域17を形成し、これと同時にN⁺型ソース領域16も形成する。このとき、ゲート層15にもN型決定不純物がドーブされ、ゲート層15は低抵抗化される。

次に、ゲート層13及び15の露出表面並びにもし露出されている基板表面(拡散法で領域16、17を形成する場合には通常基板表面が露出されている)を酸化し、メモリセル部をあかうシリコンオキサイド膜18を形成する。このときのシリコンオキサイド膜18は基板表面(領域16、17の表面)で200~500Åの厚さをもつように形成すればよい。

次いで、CVD法によりシリコンオキサイド膜18上にメモリセル部をあかうようにシリコンナイトライド膜19を形成し、さらにその上にPSG膜20を形成する。そして、第4図に示すようにドレイン領域17の一部を露出するコンタクト孔CNを形成する。すなわち、ホトレジスト層22

(6)

をマスクとしてフッ酸系エッチャントによりまずPBG膜20を選択的にエッチした後、プラズマエッチによりレジスト層22及び残存するPBG膜20をマスクとしてシリコンナイトライド膜19を選択エッチし、さらに残存するPBG膜20及びシリコンナイトライド膜19をマスクとして薄いシリコンオキサイド膜18をフッ酸系のエッチャントで選択エッチする。このシリコンオキサイド膜18はシリコンナイトライド膜19を設けたため300〜500Å程度に薄く形成されているので、簡単に短時間でエッチできるからPBG膜20のサイドエッチは実質上無視しうる程度であり、断絶防止上好ましい形状のコンタクト孔CNを形成することができる。

この後、PBG膜20上には、A1のような配線用金属を全面的に蒸着して適宜パターンニングすることによりワード線と直交するようにビット線用金属層21を形成する。この金属層21は、前述したコンタクト孔CNを介してドレイン領域17とオーミックコンタクトし、21aはこのオー

(7)

形成した後、第7図に示すようにコンタクト孔CNを形成してからポリシリコン層23の表面を酸化してシリコンオキサイド膜24を形成したことである。すなわち、第7図において、ポリシリコン層23上にホトレジスト層25を配設し、このホトレジスト層25をマスクとしてポリシリコン層23及びその下の薄いシリコンオキサイド膜18を選択エッチしてコンタクト孔CNを形成する。そして、適当な方法でホトレジスト層25を除去した後、ポリシリコン層23を強く低真空の Wet O_2 雰囲気中で熱酸化すると、単結晶基板表面に比べて高濃度にリンをドーブしたポリシリコン層23の方が酸化速度が大きいので高濃度リン（ドレイン領域17の表面）には薄く、ポリシリコン層23上には厚くシリコンオキサイド膜が形成されるので、熱酸化後全面エッチを行ない基板表面のシリコンオキサイド膜を除去することによりポリシリコン層23の表面にのみシリコンオキサイド膜24を形成することができる。この後は前述例と同様にしてビット線用金属層21及びオーミックコ

(9)

ンタクト部21aを形成することができる。

上記した半導体メモリは、メモリセル部を占めるシリコンオキサイド膜18に重ねて耐湿性に優れたシリコンナイトライド膜19を形成してあるので、フローティングゲート層15にストアされるデータの保持特性が極めて良好である。また、コンタクト孔CNの形成にあたっては、ホトレジストを1枚用いるだけで足りるので、マスク合せ余裕を最小限にしてセルサイズの縮小を図ることができる。

第5図及び第6図は、本発明の他の実施例による不揮発性メモリセルを示すもので、それぞれ第3図及び第3図と同様な断面図である。そして、第5図及び第6図のメモリセルの上面図は第1図のものと同様であり、第5図及び第6図において第1図乃至第3図に於けると同様な部分には同様な符号を付してその詳細な説明を省略する。本実施例のメモリセルの特徴とするところは、メモリセル部を占めるシリコンオキサイド膜18の上に高濃度にリンをドーブしたポリシリコン層23を

(8)

ンタクト部21aを形成することができる。

第5図乃至第7図について上記した半導体メモリにおいてもシリコンオキサイド膜18の上にポリシリコン層23及びシリコンオキサイド膜24が形成されるので、PBG膜でシリコンオキサイド膜を占めた従来の場合に比べてデータ保持特性は良好である。

なお、上記実施例の説明では、本発明をコントロールゲートを有するフローティングゲート型不揮発性メモリに適用した例を述べたが、本発明はコントロールゲートを有しないフローティングゲート型不揮発性メモリにも適用することができるものである。

図面の簡単な説明

第1図は、本発明の一実施例による不揮発性メモリセルを示す基板上面図、

第2図は、第1図のII-II線に於ける基板断面図、

第3図は、第1図のIII-III線に於ける基板断面図、

第4図は、上記メモリセルのドレインコンタクト孔形成工程を示す断面図、

(10)

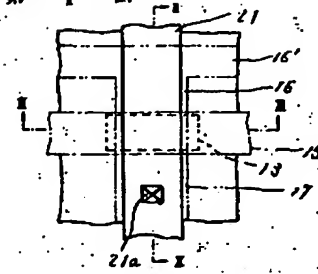
第5図及び第6図は、本発明の他の実施例による不揮発性メモリセルを示すそれぞれ第2図及び第3図と同様な基板断面図。

第7図は、第5図のメモリセルのドレインコンタクト孔形成工程を示す断面図である。

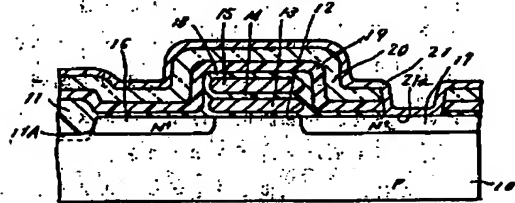
10…半導体基板、11、12、14、18、24…シリコンオキサイド膜、13…フローティングゲート層、15…コントロールゲート層、16…ソース領域、17…ドレイン領域、19…シリコンナイトライド膜、20…PSG膜、23…ポリシリコン層。

代理人 弁護士 森田利幸

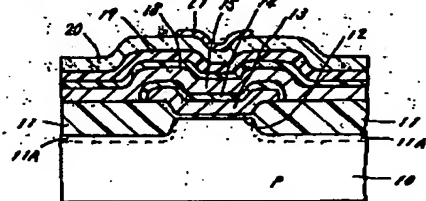
第1図



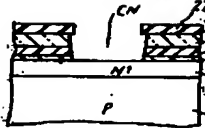
第2図



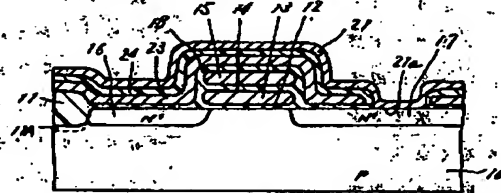
第3図



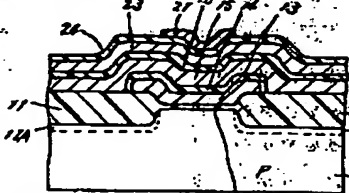
第4図



第5図



第6図



第7図

